

PATENT ABSTRACTS OF JAPAN



(11) Publication number : 11-272233
 (43) Date of publication of application : 08.10.1999

(51) Int.CI.
 G09G 3/30
 G02F 1/136
 G09G 3/20
 H01L 29/786

(21) Application number : 10-069147 (71) Applicant : SEIKO EPSON CORP
 (22) Date of filing : 18.03.1998 (72) Inventor : KIMURA MUTSUMI

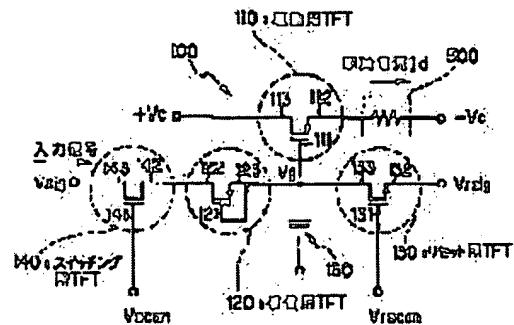
MATSUEDA YOJIRO
 OZAWA NORIO
 MICHAEL QUINN

(54) TRANSISTOR CIRCUIT, DISPLAY PANEL AND ELECTRONIC EQUIPMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To control, using an input signal of relatively low voltage, a transistor circuit in which the conductance of a drive transistor is controlled according to the voltage of an input signal and to compensate for variations in threshold characteristic of the drive transistor.

SOLUTION: A transistor circuit 100 has a drive transistor 110 in which the conductance between its source and drain is controlled according to the voltage of an input signal supplied to its gate and a compensating transistor 120 whose gate is connected to either the source or drain so that its input signal is supplied to the gate of the drive transistor via the source and drain.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

[rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-272233

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁶
G 0 9 G 3/30
G 0 2 F 1/136 5 0 0
G 0 9 G 3/20 6 2 4
H 0 1 L 29/786

F I
G 0 9 G 3/30 J
G 0 2 F 1/136 5 0 0
G 0 9 G 3/20 6 2 4 B
H 0 1 L 29/78 6 1 4

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21)出願番号 特願平10-69147

(22)出願日 平成10年(1998)3月18日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 木村 瞳

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72)発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外2名)

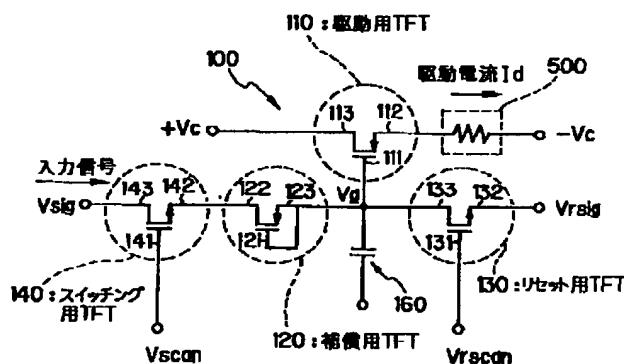
最終頁に続く

(54)【発明の名称】トランジスタ回路、表示パネル及び電子機器

(57)【要約】

【課題】入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路において、比較的低電圧の入力信号により制御可能とし、且つ駆動用トランジスタのしきい値特性のばらつきを補償する。

【解決手段】トランジスタ回路(100)は、ゲートに供給される入力信号の電圧に応じてソース及びドレイン間のコンダクタンスが制御される駆動用トランジスタ(110)と、ゲートがソース及びドレンの一方に接続されており、該ソース及びドレンを介して入力信号が駆動用トランジスタのゲートに供給されるように接続された補償用トランジスタ(120)とを備える。



【特許請求の範囲】

【請求項1】 第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、

第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるように且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とするトランジスタ回路。

【請求項2】 前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする請求項1に記載のトランジスタ回路。

【請求項3】 前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする請求項2に記載のトランジスタ回路。

【請求項4】 前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレインの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレインを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする請求項2又は3に記載のトランジスタ回路。

【請求項5】 前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする請求項1から4のいずれか一項に記載のトランジスタ回路。

【請求項6】 第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するよう接続されたスイッチング用トランジスタを更に備えたことを特徴とする請求項1から5のいずれか一項に記載のトランジスタ回路。

【請求項7】 前記第1ゲートに接続された保持容量を更に備えたことを特徴とする請求項1から6のいずれか一項に記載のトランジスタ回路。

【請求項8】 前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする請求項1から7のいずれか一項に記載のトランジスタ回路。

【請求項9】 前記トランジスタは夫々、前記ゲート、

ソース及びドレインがベース、エミッタ及びコレクタに夫々対応するバイポーラトランジスタから構成されていることを特徴とする請求項1から7のいずれか一項に記載のトランジスタ回路。

【請求項10】 前記入力信号は、入力信号源により電圧が制御される電圧信号であり、

前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする請求項1から9のいずれか一項に記載のトランジスタ回路。

【請求項11】 請求項10に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、

電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする表示パネル。

【請求項12】 請求項11に記載の表示パネルを備えたことを特徴とする電子機器。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下TFTと称す）、電界効果型トランジスタ、バイポーラトランジスタなどのトランジスタを複数備えて構成されるトランジスタ回路の技術分野に属し、特にゲートに供給される電圧に応じてソース及びドレイン間のコンダクタンスを制御することにより、該ソース及びドレインを介して電流制御型（電流駆動型）素子等の被駆動素子に供給される駆動電流を制御する駆動用トランジスタを備えて構成されるトランジスタ回路の技術分野に属する。

30 【0002】

【従来の技術】 一般に、トランジスタには、半導体膜の膜質、膜厚、不純物濃度や拡散領域、ゲート絶縁膜等の膜質、膜厚、動作温度などの各種条件に応じて、その電圧電流特性やしきい値には大なり小なりばらつきが生じる。クリスタルシリコンを用いたバイポーラトランジスタの場合には、このようなしきい値のばらつきは比較的小さいが、TFTの場合には、このようなばらつきは大きいのが通常である。特に、液晶パネル、ELパネル等の表示パネルなどにおいてTFTアレイ基板上で広範囲に渡って多数形成されるTFTの場合には、このような電流電圧特性やしきい値のばらつきが非常に大きくなることが多い。例えば、この種のTFTのしきい値を2V（ボルト）程度（Nチャネルで+2V、Pチャネルで-2V）となるように製造しても、そのばらつきは土数V程度になったりする。

【0003】 ここで、所謂TFT液晶パネル等の場合のように液晶等からなる画素部を電圧制御する電圧制御（電圧駆動）方式の場合には、各画素部に設けられた駆

50

3

動用TFTにおける電圧電流特性やしきい値のばらつきが問題となることは比較的少ない。即ちこの場合には、たとえTFTの電流電圧特性やしきい値に多少のばらつきがあったとしても、十分なスイッチング時間さえ与えれば、外部からTFTを介して各画素部に供給する電圧の精度を高めることにより、各画素部における表示濃度や明るさを精度良く制御できるからである。従って、各画素部での表示濃度や明るさのむらが重要視される表示用のTFT液晶パネル等においても、電流電圧特性やしきい値のばらつきが比較的大きいTFTを用いて、高品位の画像表示等を行える。

【0004】他方で近年、電流供給量に応じて明るさが変化するように自発光する有機EL等の電流制御型発光素子を画素部に備えた表示パネルが開発されており、バックライトや反射光を利用せずに画像表示が可能であり、消費電力が低く、しかも視野角依存性が少なく、また時には可曲性を実現する表示パネルとして注目されている。このELパネルの場合にも、アクティブマトリックス駆動を行うためには、各画素部において駆動用TFTが用いられる。例えば、駆動用TFTのドレインが正孔注入用電極を介してEL素子に接続され、ゲートに印加されるデータ信号の電圧に応じて、ソースに接続された電源配線からEL素子に供給される駆動電流を制御する（変化させる）ように構成されている。このように駆動用TFTを用いれば、入力信号の電圧変化に応じてソース及びドレイン間のコンダクタンスを制御することによりEL素子を流れる駆動電流を制御して、各画素部での明るさ（輝度）を変化させることができとなり、画像表示等を行える。

【0005】

【発明が解決しようとする課題】しかしながら、特に上述したELパネル等のように電流制御型素子の場合には、各画素部に設けられた駆動用TFTにおける電圧電流特性やしきい値のばらつきが問題となる。即ち、この場合には、外部から駆動用TFTに供給されるデータ信号の電圧精度を幾ら高めたとしても、駆動用TFTにおける電圧電流特性やしきい値のばらつきがデータ信号に対する駆動電流のばらつきとしてそのまま現われるため、駆動電流の精度が低下してしまう。この結果、各画素部における明るさも駆動用TFTのしきい値のばらつきに従ってばらついてしまうのである。そして、特に現在の低温ポリシリコンTFTの製造技術ではこのような電圧電流特性やしきい値のばらつきは、かなりの度合いで発生するため、この問題は実用上非常に大きい。

【0006】この問題に対して、電圧電流特性やしきい値のばらつきを低減するよう各TFTを製造しようとすれば、歩留まりの低下を招き、特に表示パネルのように多数のTFTを用いて構成する装置においては極端な歩留まりの低下を招いてしまい、低コスト化という一般的要請に反する。或いは、そのようなばらつきを低減す

4

るようなTFTを製造することは不可能に近い。また、各TFTにおける電流電圧特性やしきい値のばらつきを補償する回路を別途設けようとしても、やはり装置の複雑化や大型化更には消費電力の増加を招き、特に多数のTFTが高密度で配列された表示パネルにおいては、再び歩留まりの低下を招き、或いは近時の低消費電力化や装置の小型軽量化という要請に答えることが困難になることが予想される。

【0007】本発明は上述した問題点に鑑みなされたものであり、入力信号の電圧に応じて駆動用トランジスタにおけるコンダクタンス制御を行うトランジスタ回路であって、比較的低電圧の入力信号により当該コンダクタンス制御が可能であり、しかも駆動用トランジスタの電流電圧特性やしきい値特性のばらつきを、比較的少ない数のトランジスタを用いて比較的小さな電力消費により補償することが可能なトランジスタ回路、並びにこれを用いた表示パネル及び電子機器を提供することを課題とする。

【0008】

20 【課題を解決するための手段】請求項1に記載のトランジスタ回路は上記課題を解決するために、第1ゲート、第1ソース及び第1ドレインを有し、該第1ゲートに供給される入力信号の電圧に応じて該第1ソース及び第1ドレイン間のコンダクタンスが制御される駆動用トランジスタと、第2ゲート、第2ソース及び第2ドレインを有し、該第2ゲートが該第2ソース及び第2ドレインの一方に接続されており、該第2ソース及び第2ドレインを介して前記入力信号が前記第1ゲートに供給されるよう且つ前記第1ゲートに対し前記コンダクタンスを低める方向の電荷移動を可能とする向きで前記第1ゲートに接続された補償用トランジスタとを備えたことを特徴とする。

【0009】請求項1に記載のトランジスタ回路によれば、補償用トランジスタの第2ソース及び第2ドレインの一方が駆動用トランジスタの第1ゲートに接続されており、これらの第2ソース及び第2ドレインを介して、駆動用トランジスタの第1ゲートには入力信号が供給される。そして、駆動用トランジスタにおいて、この第1ゲートに供給される入力信号の電圧に応じて、第1ソース及び第1ドレイン間のコンダクタンスが制御される。

ここで、補償用トランジスタは、第2ゲートが第2ドレインに接続されており、第1ゲートに対し第1ソース及び第1ドレイン間のコンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続されている。即ち、補償用トランジスタは、ダイオード特性を有しており、例えば、駆動用トランジスタがNチャネル型であれば、その第1ゲートから入力信号源への向きにのみ通電可能である。或いは、駆動用トランジスタがPチャネル型であれば、入力信号源から第1ゲートへの向きに通電可能である。

50

5

【0010】このため、当該トランジスタ回路に入力信号を供給した際には、補償用トランジスタに入力される時点における入力信号の電圧と比較して、第1ゲートのゲート電圧は、補償用トランジスタのしきい値の分だけ駆動用トランジスタのコンダクタンスが高められる側に昇圧されることになる。従って、駆動用トランジスタにおいて所望のコンダクタンスを得るために、当該コンダクタンスに対応するゲート電圧よりも補償用トランジスタのしきい値（電圧）の分だけ低い電圧の入力信号を補償用トランジスタを介して供給すればよいことになる。このように、補償用トランジスタのしきい値（電圧）の分だけ入力信号に対するゲート電圧を昇圧できるので、補償用トランジスタがない場合と比較して、より低い入力信号の電圧により同等のコンダクタンス制御を行うことが可能となる。

【0011】一般に、この入力信号は他の信号に比較して高周波数であることが多く、より低い入力信号でよいとなれば、かなりの低消費電力化が期待できる。

【0012】更に、このように補償用トランジスタにより入力信号の電圧を昇圧して第1ゲートにおけるゲート電圧とすることは、トランジスタ回路全体として見た場合、駆動用トランジスタにおいてコンダクタンス制御されるソース及びドレインを介して流れる駆動電流に対する入力信号のしきい値は、駆動用トランジスタのしきい値電圧から、入力電圧からゲート電圧への昇圧分である補償用トランジスタのしきい値電圧だけ低くなっている。即ち、駆動電流に対する入力電圧のしきい値中では、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは、相殺された形となっている。従って、両者のしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値を零に近付けることが可能となる。

【0013】更にまた、このように駆動用トランジスタのしきい値と補償用トランジスタのしきい値とを当該トランジスタ回路全体の中で相殺させることにより、駆動用トランジスタのしきい値の大小によらずにトランジスタ回路全体としての入力信号のしきい値を一定の値（ゼロ）に近付けることができる。即ち、複数のしきい値の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、各トランジスタ回路における駆動用トランジスタと補償用トランジスタのしきい値を夫々相互に近付ければ（理想的には両者を一致させれば）、各トランジスタ回路間におけるしきい値の差は、各駆動用トランジスタのしきい値の差よりも小さくなっている（理想的には差が殆どなくなっている）。従って、当該トランジスタ回路を複数作成する際に、複数のしきい値の異なる複数の駆動用トランジスタを用いたとしても、しきい値のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることが可能となる。

【0014】請求項2に記載のトランジスタ回路は、上

6

述した請求項1に記載のトランジスタ回路において、前記第1ゲートに対し前記入力信号に応じて制御される前記コンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号を前記入力信号の供給前に供給するリセット手段を備えたことを特徴とする。

【0015】請求項2に記載のトランジスタ回路によれば、駆動用トランジスタの第1ゲートに入力信号が供給される以前に（或いは、一の入力信号が供給された後

10 に、次の入力信号が供給される以前に）、リセット手段によりこの第1ゲートに、入力信号に応じて制御される駆動用トランジスタのコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号が供給される。この結果、入力信号の電圧値の大小によらずに駆動用トランジスタのゲート電圧をリセット手段により一定値とすることができます、しかも、リセット後に、コンダクタンスを低める方向の電荷移動を可能とする向きで第1ゲートに接続された補償用トランジスタを介して入力信号を第1ゲートに供給することが可能となる。

【0016】請求項3に記載のトランジスタ回路は、上述した請求項2又は3に記載のトランジスタ回路において、前記リセット信号は、前記入力信号の最大電圧よりも前記補償用トランジスタのしきい値電圧分以上大きい電圧に設定されたことを特徴とする。

【0017】請求項3に記載のトランジスタ回路によれば、リセット手段により駆動用トランジスタの第1ゲートに、入力信号よりも大きい電圧のリセット信号が供給される。しかも、このリセット信号の電圧は、入力信号の最大電圧よりも補償用トランジスタのしきい値電圧分以上大きく設定されているので、リセット後に入力信号が入力されると、入力信号の電圧の大小や駆動用トランジスタのしきい値の大小によらずに常に、その入力信号の電圧よりも駆動用トランジスタのしきい値電圧分だけ高い電圧を、補償用トランジスタを介して駆動用トランジスタの第1ゲートに供給することが出来る。

【0018】請求項4に記載のトランジスタ回路は、上述した請求項2に記載のトランジスタ回路において、前記リセット手段は、第3ゲート、第3ソース及び第3ドレインを有し、該第3ソース及び第3ドレンの一方が前記第1ゲートに接続されており、該第3ゲートにリセットタイミング信号が前記入力信号の供給前に供給された時に、該第3ソース及び第3ドレンを介して前記リセット信号を前記第1ゲートに供給するリセット用トランジスタを備えたことを特徴とする。

【0019】請求項4に記載のトランジスタ回路によれば、リセット用トランジスタの第3ゲートにリセットタイミング信号が供給されると、該リセット用トランジスタにより、その第3ソース及び第3ドレンを介して、リセット信号が駆動用トランジスタの第1ゲートに供給

される。この結果、駆動用トランジスタのゲート電圧をリセットタイミング信号の供給タイミングで一定値にリセットすることができる。従って、この後の、請求項2又は3記載のトランジスタ回路に対して説明した動作が可能となる。

【0020】請求項5に記載のトランジスタ回路は、上述した請求項1から4のいずれか一項に記載のトランジスタ回路において、前記駆動用トランジスタと前記補償用トランジスタとは、同一型のトランジスタであることを特徴とする。

【0021】請求項5に記載のトランジスタ回路によれば、駆動用トランジスタと補償用トランジスタとは、同一型のトランジスタであるが、ここに、「同一型」とは、駆動用トランジスタがNチャネル型であれば、補償用トランジスタもNチャネル型であり、駆動用トランジスタがPチャネル型であれば、補償用トランジスタもPチャネル型である意である。従って、補償用トランジスタのしきい値と駆動用トランジスタのしきい値とは相互にほぼ等しくなるため、当該トランジスタ回路内において、これえらのしきい値は相殺しあい、この結果、駆動電流に対する入力信号のしきい値をほぼ零としてコンダクタンス制御を行うことも可能となる。更に、複数のトランジスタ回路を、しきい値のばらついた複数の駆動用トランジスタから構成した場合にも、しきい値のばらつきを補償することも可能となる。

【0022】また、トランジスタのチャネル幅、チャネル長を始めとする設計値、デバイス構造、プロセス条件等も、駆動用トランジスタと補償用トランジスタとで等しくすることにより、より完全な補償が可能となる。

【0023】請求項6に記載のトランジスタ回路は、上述した請求項1から5のいずれか一項に記載のトランジスタ回路において、第4ゲート、第4ソース及び第4ドレインを有し、該第4ゲートにスイッチングタイミング信号が供給された時に前記入力信号を該第4ソース及び第4ドレインを介して前記補償用トランジスタに供給するように接続されたスイッチング用トランジスタを更に備えたことを特徴とする。

【0024】請求項6に記載のトランジスタ回路によれば、スイッチングタイミング信号がスイッチング用トランジスタの第4ゲートに供給されると、入力信号が、該スイッチング用トランジスタの第4ソース及び第4ドレインを介して補償用トランジスタに供給される。この結果、スイッチングタイミング信号の供給タイミングで入力信号を駆動用トランジスタに供給することができる。

【0025】請求項7に記載のトランジスタ回路は、上述した請求項1から6のいずれか一項に記載のトランジスタ回路において、前記第1ゲートに接続された保持容量を更に備えたことを特徴とする。

【0026】請求項7に記載のトランジスタ回路によれば、第1ゲートに入力信号が供給されるとその電圧は、

該1ゲートに接続された保持容量により保持される。従って、入力信号を一定期間だけ供給した場合にも、それよりも長い期間に亘って第1ゲートにかかる電圧を保持することが可能となる。

【0027】本構成では、補償用トランジスタを通じて、スイッチング用トランジスタにリーク電流がある場合でも、第1ゲートに印加される電位の変化を低減することが可能となる。

【0028】請求項8に記載のトランジスタ回路は、上10述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、同一基板上に形成された薄膜トランジスタから構成されていることを特徴とする。

【0029】請求項8に記載のトランジスタ回路によれば、同一基板上に形成された駆動用薄膜トランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用薄膜トランジスタにより補償することが出来る。特に、両薄膜トランジスタを同一基板上に同一薄膜形成工程で形成すれば、両トランジスタ間の特性類似20の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を同一基板上で得ることが可能となる。

【0030】請求項9に記載のトランジスタ回路は、上述した請求項1から7のいずれか一項に記載のトランジスタ回路において、前記トランジスタは夫々、前記ゲート、ソース及びドレインがベース、コレクタ及びエミッタに夫々対応するバイポーラトランジスタから構成されている。

【0031】請求項9に記載のトランジスタ回路によれば、駆動用バイポーラトランジスタにおける電流電圧特性やしきい値特性が駆動電流に及ぼす影響を補償用バイポーラトランジスタにより補償することが出来る。特に、両バイポーラトランジスタを同一製造工程で製造すれば、両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが少ない複数のトランジスタ回路を得ることが可能となる。

【0032】請求項10に記載のトランジスタ回路は、上述した請求項1から9のいずれか一項に記載のトランジスタ回路において、前記入力信号は、入力信号源により40電圧が制御される電圧信号であり、前記駆動用トランジスタは、前記第1ソース及び第1ドレインの一方が電流制御型素子に接続されており、前記コンダクタンスを制御することにより該電流制御型素子に流れる電流を制御することを特徴とする。

【0033】請求項10に記載のトランジスタ回路によれば、入力信号源により電圧が制御される電圧信号が、入力信号として補償用トランジスタを介して供給されると、駆動用トランジスタにおいて、この電圧信号の電圧変化に応じて第1ソース及び第1ドレイン間のコンダクタンスが制御される。これにより、第1ソース及び第1

ドレンインの一方に接続された電流制御型素子は、電流制御される。従って、電流制御型素子を比較的低電圧の入力信号で電流駆動することが可能となり、しかも、複数の駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流駆動型素子を電圧信号の電圧に応じて精度良く電流制御することも可能となる。

【0034】請求項11に記載の表示パネルは、上述した請求項10に記載のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備え、電流制御型発光素子が前記電流制御型素子として該複数の画素部に夫々設けられたことを特徴とする。

【0035】請求項11に記載の表示パネルによれば、各画素部において、入力信号が補償用トランジスタを介して供給されると、駆動用トランジスタによりこの入力信号の電圧に応じて電流制御型発光素子は電流制御されるので、駆動用トランジスタ間における電流電圧特性やしきい値特性のばらつきによらずに、電流制御型発光素子の明るさ(輝度)を精度良く制御することが出来、表示パネルの画面表示領域の全面に渡って明るさのむらを低減できる。更に、駆動用トランジスタのゲート電圧を補償用トランジスタにより昇圧することにより比較的低電圧の入力信号により電流制御型発光素子の制御を行うことも可能となる。

【0036】請求項12に記載の電子機器は、上述した請求項11に記載の表示パネルを備えたことを特徴とする。

【0037】請求項12に記載の電子機器によれば、上述した請求項11に記載の表示パネルを備えるので、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な電子機器を実現できる。

【0038】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0040】(トランジスタ回路)先ず、本発明のトランジスタ回路の実施の形態について図1及び図2を参照して説明する。図1は、本実施の形態におけるトランジスタ回路の回路図であり、図2(A)及び(B)は夫々、該トランジスタ回路における各種信号のタイミング及び電圧を示したタイミングチャートである。

【0041】図1において、トランジスタ回路100は、駆動用TFT110(Pチャネル型)、補償用TFT120(Pチャネル型)、リセット用TFT130(Nチャネル型)及びスイッチング用TFT140(Nチャネル型)を備えて構成されている。以下各トランジスタの構成について順に説明する。

【0042】先ず、駆動用トランジスタの一例を構成す

る駆動用TFT110は、スイッチング用TFT140及び補償用TFT120を介して供給される入力信号に基づいてゲート111に印加されるゲート電圧Vgに応じて、ソース112及びドレンイン113間のコンダクタンスが制御されるように構成されている。

【0043】補償用トランジスタの一例を構成する補償用TFT120は、ゲート121がソース122及びドレンイン123の一方(図1では、ドレンイン123)に接続されている。即ち、補償用TFT120は所謂ダイオード接続されている。そして、補償用トランジスタ120は、ソース122及びドレンイン123を介して、入力信号がゲート111に供給されるように且つゲート111に対しコンダクタンスを低める方向の電荷移動を可能とする向きで(図1では、ドレンイン123の側が)ゲート111に接続されている。

【0044】リセット手段の一例を構成するリセット用TFT130は、ソース132及びドレンイン133の一方(図1では、ドレンイン133)がゲート111に接続されており、ゲート131にリセットタイミング信号の一例としての電圧Vrscanのリセット走査信号(以下、リセット走査信号Vrscanと称す)が入力信号Vsigの供給前に供給された時に、ソース132及びドレンイン133を介して電圧Vrsigのリセット信号(以下、リセット信号Vrsigと称す)をゲート111に供給するように構成されている。

【0045】また、スイッチングトランジスタの一例を構成するスイッチング用TFT140は、ゲート141にスイッチングタイミング信号の一例としての電圧Vscanの走査信号(以下、走査信号Vscanと称す)が供給された時に、電圧Vsigの入力信号(以下、入力信号Vsigと称す)をソース142及びドレンイン143を介して補償用TFT120に供給するように入力信号源及び補償用TFT120の間に接続されている。

【0046】そして、駆動用トランジスタ110のソース112には、EL素子等の電流制御型(電流駆動型)素子500の一端が接続されており、この電流制御型素子500の他端には、所定電位の負電源-Vcが接続されている。また、駆動用トランジスタ110のドレンイン113には、所定電位の正電源+Vcが接続されている。従って、駆動用トランジスタ110においてソース112及びドレンイン113間のコンダクタンス制御が行われると、電流制御型素子500を流れる駆動電流Idが制御される(即ち、コンダクタンス変化に応じて駆動電流Idが変化する)。

【0047】更に、駆動用トランジスタ110のゲート111には、保持容量160が接続されている。このため、一旦印加されたゲート電圧Vgは、保持容量160により保持される。

【0048】次に、以上のように構成されたトランジスタ回路100の動作について図1と共に図2及び図3を

11

参照して説明する。

【0049】図2(A)に示すように、リセット走査信号Vrscanがリセット用TFT130に入力されると、リセット用TFT130が導通状態とされて、駆動用TFT110のゲート111には、リセット信号Vrsigが供給されて、ゲート111のゲート電圧Vgは、このリセット信号Vrsigの電圧Vrsigにはほぼ等しいレベルとされる。この結果、入力信号Vsigtの電圧Vsigtの大小によらずに駆動用TFT110のゲート電圧Vgをリセット走査信号Vrsigの供給タイミングで一定電圧(即ち、電圧Vrsig)にリセットすることができる。

【0050】そして、このリセット期間が終わり、走査信号Vscanがスイッチング用TFT140に供給されると、スイッチング用TFT140が導通状態とされて、駆動用TFT110のゲート111には、補償用TFT120を介してデータ信号Vsigtが供給される。ここで、本実施の形態では特に補償用TFT120においてゲート121がドレイン123に接続されているため(即ち、ダイオード接続されているため)、負電圧をゲート111に印加することで道通状態とされるPチャネル型TFTである駆動用TFT110におけるゲート電圧Vgは、データ信号Vsigtの電圧Vsigtよりも補償用TFT120のしきい値電圧Vth2だけ負電圧側に降圧される。そして、このように降圧されたゲート電圧Vgは、走査信号Vscanや入力信号Vsigtの供給停止後も、保持容量160により駆動期間中保持される。

【0051】尚、リセット期間としては、ゲート電圧Vgがリセット信号Vrsigの電圧Vrsigとなる時間だけとすれば十分である。このため、駆動期間をリセット期間よりも遙かに長く設定することができ、これにより、リセット期間中に駆動用TFT110がリセット信号Vrsigにより道通状態とされても、この間に駆動用TFT110のソース112及びドレイン113を介して流れる電流の駆動電流Idに対する影響を、無視できる程度に小さくできる。

【0052】以上のように本実施の形態によれば、補償用TFT120のしきい値電圧Vth2の分だけ入力信号Vsigtに対するゲート電圧Vgを降圧できるので、補償用TFT120がない場合と比較して、より低い入力信号Vsigtの電圧Vsigtを用いて同等のコンダクタンス制御を駆動用TFT110において行うことが可能となる。

【0053】尚、図2(B)は、駆動用TFT110及び補償用TFT120を共にNチャネル型TFTから構成した場合のタイミングチャートであり、この場合には、正電圧をゲート111に印加することで道通状態とされるNチャネル型TFTである駆動用TFT110におけるゲート電圧Vgは、リセット時にリセット信号Vrsigの電圧Vrsigとされた後、入力信号Vsigtの電圧Vsigtよりも補償用TFT120のしきい値電圧Vth2だけ正電圧側に昇圧される。

12

【0054】ここで、補償用TFT120を介すことなく駆動用TFT110に入力信号Vsigtを直接入力したとすると、即ち入力信号Vsigtの電圧Vsigtとゲート電圧Vgとが一致する場合には、図3(A)(これは駆動用TFT110がNチャネルの場合である)に示すように、駆動電流Idは、駆動用TFT110のしきい値電圧Vth1から立ち上がる特性を持つ。例えば、このしきい値電圧Vth1の設計基準値を2Vとすればしきい値のばらつきは土数V程度となる。そして、駆動用TFT110におけるしきい値電圧Vth1のばらつきがそのまま駆動電流Idのばらつきとして現われる。

【0055】これに対し、本実施の形態では、補償用TFT120を介して駆動用TFT110に入力信号Vsigtを入力するため、即ち入力信号Vsigtの電圧Vsigtを補償用TFT120のしきい値電圧Vth2の分だけ昇圧してゲート電圧Vgとする場合には、図3(B)(これは駆動用TFT110及び補償用TFT120が共にNチャネルの場合である)に示すように、補償用TFT120のしきい値電圧Vth2と駆動用TFT110のしきい値電圧Vth1とが相殺されて、トランジスタ回路100全体に対する入力信号Vsigtのしきい値電圧Vthは零に近付くのである。そして、特に両しきい値電圧Vth1とVth2とがほぼ一致する場合には、このしきい値電圧Vthは、ほぼ零となる。このように、しきい値電圧Vth1とVth2とを一致させることは、例えば同一半導体基板上の近接位置に駆動用TFT110と補償用TFT120とを同型TFTから構成することにより比較的簡単にできる。このように構成すれば、両方のTFTにおける、薄膜形成されるゲート絶縁膜、半導体膜等の膜厚や、チャネル長等の各構成要素の平面形状や、チャネル形成用領域、ソース領域、ドレイン領域における不純物濃度や、動作時の温度状態などを容易に一致させることができるので、結局、両方のTFTのしきい値電圧Vth1とVth2とを完全に又はほぼ完全に一致させることが出来るのである。尚、しきい値特性を近似させる上では、チャネル長さは同じにする方が良いが、チャネル幅は同じでなくても良い。

【0056】このように本実施の形態によれば、駆動用TFT110と補償用TFT120のしきい値特性や電圧電流特性を近付けることにより(理想的には一致させることにより)、駆動電流Idに対する入力信号Vsigtのしきい値電圧Vthを零に近付ける(理想的には零に一致させる)ことが可能となる。

【0057】更に、図3(A)及び図3(B)から判るように、複数のトランジスタ回路100を製造する場合に、各駆動用TFT110におけるしきい値電圧Vth1が相互にばらついたとしても、このしきい値電圧Vth1の大小によらずに、各補償用TFT120の作用により各トランジスタ回路100のしきい値電圧Vthは、零に近い値とされる。即ち、しきい値電圧Vthが一定の多数

13

のトランジスタ回路100を製造できることになる。これは、後述のように多数のトランジスタ回路100間ににおけるしきい値電圧Vthのばらつきが問題となるような表示パネル用等の用途には特に役立つ。そして、各トランジスタ回路100において、相互に接続配置される一对の駆動用TFT110のしきい値電圧Vth1と補償用TFT120のしきい値電圧Vth2とを一致させることは、距離を隔てて別個に配置される二つの駆動用TFT110のしきい値電圧Vth1を一致させることよりも前述のように遙かに容易であるため、このように補償用TFT120により各トランジスタ回路100におけるしきい値電圧Vth1を補償する構成は、複数のトランジスタ回路100相互間のしきい値電圧Vthのばらつきを低減させるためには極めて効果的であると言える。

【0058】以上のように本実施の形態によれば、トランジスタ回路100を複数作成する際に、しきい値電圧Vth1の相異なる複数の駆動用TFT110、即ち設計基準値としてのしきい値電圧（例えば、2.5V）から大きくばらついたしきい値電圧Vth1を夫々持つ複数の駆動用TFT110を用いたとしても、しきい値電圧Vthのばらつきが殆ど又は全くない複数のトランジスタ回路100を得ることが可能となる。このため、電流電圧特性についてTFTに要求される条件が緩くなり、歩留まりの向上及び製造コストの低減を図ることができる。

【0059】尚、図3(A)及び図3(B)から判るように、しきい値電圧Vth1及びVth2を一致させることにより、各駆動用TFT110におけるコンダクタンス制御を入力信号Vsigtの電圧Vsigtよりも高いゲート電圧Vgを用いて行えるという第1の効果、及び複数のトランジスタ回路100におけるしきい値電圧Vthのばらつきを低減するという第2の効果は、顕著に発揮されるが、各トランジスタ回路100において駆動用TFT110のしきい値電圧Vth1と補償用TFT120のしきい値電圧Vth2とを完全に一致させなくとも、両しきい値電圧は相殺しあう性質をもつて、両しきい値電圧の類似性に応じた程度でこれらの第1及び第2の効果は発揮される。

【0060】本実施の形態では特に、ゲート111に対し入力信号Vsigtに応じて制御されるコンダクタンスの最高値よりも高いコンダクタンスの値に対応する電圧を有するリセット信号Vrsigを供給するように構成されている。従って、入力信号Vsigtの電圧Vsigtの大小によらずにリセット後に、このコンダクタンスを低める方向の電荷移動を可能とする向きでゲート111に接続された補償用TFT120を介して入力信号Vsigtをゲート111に供給することが可能となる。しかも本実施の形態では、リセット信号Vrsigは、入力信号Vsigtの最大電圧よりも補償用TFT120のしきい値電圧Vth2分以上大きい電圧に設定されている。従って、リセット後に入力信号Vsigtが入力されると、入力信号Vsigtの電圧

14

Vsigの大小や補償用TFT120のしきい値電圧Vth2の大小によらずに常に、その入力信号Vsigtの電圧Vsigtよりも補償用TFT120のしきい値電圧Vth2分だけ高い電圧を、ゲート111に供給することができる。

【0061】尚、従来の液晶表示素子で良く用いられている、入力信号Vsigtの反転が行われる場合には、反転した入力信号も含めた全ての入力信号Vsigtに対しても、上記のリセット信号Vrsigの関係が成り立つことが望ましい。

【0062】このリセット信号Vrsigの電圧設定による効果について図4及び図5を参照して検討を加える。ここで、図4は、しきい値の設計基準値を例えば-2.5Vとしてその基準値からのしきい値電圧のばらつき ΔV_{th} に対する駆動電流Idの変化を、(1)補償用TFT120無しで駆動用TFT110に直接入力信号Vsigtを供給した場合(特性曲線C1)、(2)リセット信号Vrsigを5Vとして補償用TFT120を介して駆動用TFT110に入力信号Vsigtを供給した場合(特性曲線C2)、及び(3)リセット信号Vrsigを0Vとして補償用TFT120を介して駆動用TFT110に入力信号Vsigtを供給した場合(特性曲線C3)について夫々示したものである。また、図5(A)は、特性曲線C2に対応するゲート電圧Vgの変動範囲を示し、図5(B)は、特性曲線C3に対応するゲート電圧Vgの変動範囲を示す。なお、ここで、Vsigt=7.5V、+Vc=10V、-Vc=5Vとしている。

【0063】図4において、特性曲線C1で示したように、補償用TFT120無しの場合には、しきい値電圧のばらつき ΔV_{th} が、そのまま駆動電流Idのばらつきとして顕著に現われている。

【0064】特性曲線C2で示したように、リセット信号Vrsigを5Vとして補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、プラス側ではかなり補償されているが、マイナス側では、駆動電流Idのばらつきとして現われている。これは、図5(A)に示すようにマイナス側では、リセット後に入力信号Vsigtが入力されたとき、ゲート電圧Vgを、入力信号Vsigtよりも、しきい値電圧Vth2の分だけ負電圧側に降圧する(補償する)ことができないためである。何故なら、ダイオードである補償用TFT120は、ゲート電圧Vgをリセット信号Vrsigから入力信号Vsigtへ近付けることは出来ても遠ざけることは出来ないからである。

【0065】また、特性曲線C3で示したように、リセット信号Vrsigを0Vとして補償用TFTを用いた場合には、しきい値電圧のばらつき ΔV_{th} が、駆動電流Idのばらつきとして殆ど現われていない。これは、図5(B)に示すように、リセット後に入力信号Vsigtが入力されたとき、ゲート電圧Vgを、入力信号Vsigtよりも、しきい値電圧Vthの分だけ負電圧側に降圧する(補

15

償する)ことができるためである。なお、ここで与えた $V_{sig} = 7.5$ Vは、入力信号 V_{sig} の最小電位だと考えれば、全ての V_{sig} に対して補償できるかということに対して、上記考察が成り立つ。

【0066】以上のように本実施の形態では、入力電圧 V_{sig} の大小や補償用 TFT 110 のしきい値電圧 V_{th2} の大小によらずに常に、その入力信号 V_{sig} の電圧よりも補償用 TFT 120 のしきい値電圧 V_{th2} 分だけ低い電圧 V_g を、駆動用 TFT 110 のゲート 111 に印加することが出来るのである。

【0067】尚、図2(A)及び図2(B)において、ゲート電圧 V_g は駆動期間中、保持容量 160 により保持される。このため、保持容量 160 により、複数のトランジスタ回路 100 間におけるゲート電圧 V_g の保持特性のばらつきをも低減(補償)することができる。

【0068】以上図1から図5を用いて説明したように、本実施の形態のトランジスタ回路 100 によれば、EL素子等の電流制御型素子 500 を比較的低電圧の入力信号 V_{sig} で電流駆動することが可能となり、しかも、複数の駆動用 TFT 110 間における電流電圧特性やしきい値特性のばらつきによらずに、複数の電流制御型素子 500 を入力信号 V_{sig} の電圧に応じて精度良く電流制御することができる。

【0069】尚、図1に示した例では、Pチャネル型 TFT と Nチャネル型 TFT とを混せて構成しているが、全ての TFT を Nチャネル型 TFT から構成してもよいし、或いは、全ての TFT を Pチャネル型 TFT から構成してもよい。但し、駆動用 TFT 110 の電流電圧特性やしきい値特性を補償用 TFT 120 で補償する観点からは、これらの駆動用 TFT 110 及び補償用 TFT 120 を同一工程により同型の TFT として構成した方が有利である。特に、両 TFT を同一薄膜形成工程で形成すれば、両 TFT 間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが全く又は殆どないトランジスタ回路 100 を同一基板上で得ることが可能となる。他方、リセット用 TFT 130 やスイッチ用 TFT 140 は、駆動用 TFT 110 が Pチャネル型であるか Nチャネル型であるかによらず、Pチャネル型でも Nチャネル型でも構わない。但し、全ての TFT を同型の TFT とした方が製造上有利であることも多い。

【0070】また、本実施の形態における各種の TFT 110~140 を、接合型、並列・直列接続等のいずれの種類の電界効果トランジスタ(FET)から構成してもよい。

【0071】更に、図6に示すように、上述の如きトランジスタ回路をバイポーラトランジスタから構成してもよい。この場合、上述のゲート、ソース及びドレインをベース、エミッタ及びコレクタに夫々対応させて、バイポーラトランジスタから駆動用トランジスタ 110' を

16

構成すると共にバイポーラトランジスタから補償用トランジスタ 120' を構成して、トランジスタ回路 100' とすればよい。一般にバイポーラトランジスタの場合には、しきい値電圧は、例えば 0.7Vを中心として、そのばらつきは TFT と比較すると小さいが、このように構成しても、駆動用トランジスタ 110' における電流電圧特性やしきい値特性のばらつきが駆動電流 I_d に及ぼす影響を補償用トランジスタ 120' により補償することが出来る。更に、比較的低電圧で駆動用トランジスタ 110' による駆動を行うことが出来る。特に、駆動用トランジスタ 110' と補償用トランジスタ 120' とを同一製造工程で製造すれば、これら両トランジスタ間の特性類似の度合いは一般に増すため、電流電圧特性やしきい値特性のばらつきが殆ど無い又は低減された多数のトランジスタ回路 100' を得ることが可能となる。

【0072】以上の実施の形態における電流制御型素子 500 としては、有機 EL 素子、無機 EL 素子等の電流制御型発光素子、電流制御型の熱転写素子など各種の素

20 子が挙げられる。

【0073】(表示パネル) 本発明の表示パネルの実施の形態について図7から図10を参照して説明する。図7は、表示パネルの全体構成を示すブロック図であり、図8は、表示パネルにおける一つの画素部の平面図であり、図9(A)、図9(B)及び図9(C)は夫々、その A-A' 断面図、B-B' 断面図及び C-C' 断面図であり、図10は、相隣接する4つの画素部の回路図である。

【0074】本実施の形態における表示パネルは、上述30 した本発明のトランジスタ回路を夫々含むと共にマトリクス状に配置された複数の画素部を備えており、該複数の画素部には、電流制御型発光素子の一例として EL 素子 50 が夫々設けられて構成されている。

【0075】図7に示すように、表示パネル 200 は、TFT アレイ基板 1 を有し、該 TFT アレイ基板 1 上において複数の画素部 2 がマトリクス状に配置された画面表示領域には、Y 方向に夫々伸びており X 方向に配列された複数のデータ線 11 と、X 方向に夫々伸びており Y 方向に配列された複数の走査線 12 と、複数のデータ線

40 11 と平行に並べられた複数の共通給電線 13 とを備えている。表示パネル 1 は更に、画面表示領域の周囲に、各データ線 11 にデータ信号を供給するデータ線駆動回路 21 と、各走査線 12 に走査信号を供給する一対の走査線駆動回路 22 と、各画素部 2 における道通不良、絶縁不良、素子の欠陥等を検査するための検査回路 23 を備えて構成されている。なお、本実施の形態では、各駆動回路は、TFT アレイ基板 1 上に画素部 2 と共通の工程で形成されているが、TFT アレイ基板 1 上にない回路とされてもよいし、又は画素部 2 と別の工程で形成されてもよい。

50

17

【0076】図8に示すように、各画素部2には、図1から図6を用いて説明した駆動用TFT110、補償用TFT120、リセット用TFT130、スイッチング用TFT140及び保持容量160が設けられている。そして、前段の走査線12bが図1におけるリセット走査信号Vrscan用の配線となり、当段の走査線12aが図1における走査信号Vscan用の配線及びリセット信号Vrsig用の配線となり、当段のデータ線11aが図1における入力信号Vsig(データ信号)用の配線となっている。更に、共通給電線13が正電源+Vに接続されており、EL素子50が駆動用TFT110と後述の対向電極との間に接続されており、該対向電極が負電源-Vに接続されている。

【0077】図9(A)に示すように、スイッチング用TFT140、補償用TFT120及び保持容量160は、図8のA-A'断面に沿って、TFTアレイ基板上1に半導体膜(ポリシリコン膜)4、酸化シリコン膜や塗化シリコン膜からなるゲート絶縁膜5、Ta(タンタル)膜6、酸化シリコン膜や塗化シリコン膜からなる第1層間絶縁膜7及びA1膜8から構成されている。尚、ゲート電極形成用のTa膜6の代わりに、低抵抗ポリシリコン膜を成膜してもよい。

【0078】より具体的には、スイッチング用TFT140は、ポリシリコン膜6からなるゲート141を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート141に対向する半導体層4部分をチャネル形成用領域として、その両側にn型に高濃度ドープされたソース142及びドレイン143を備えたNチャネル型のTFTとして構成されている。そして、ソース142は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8からなるデータ線11aに接続されている。また、ドレイン143は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、補償用TFT120に接続されている。

【0079】補償用TFT120は、Ta膜6からなるゲート121を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート121に対向する半導体膜4部分をチャネル形成用領域として、その両側にp型に高濃度ドープされたソース122及びドレイン123を備えたPチャネル型のTFTとして構成されている。そして、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継してスイッチング用TFT140及び保持容量160並びに駆動用TFT110のゲート111に接続されている。

【0080】また、保持容量160は、2重のコンデンサ構成を有するように、半導体膜4、Ta膜6及びA1膜8が、ゲート絶縁膜5及び第1層間絶縁膜7を介して対向配置されて構成されている。そして保持容量を構成する半導体膜4部分は、ゲート絶縁膜5及び第1層間絶

18

縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されており、保持容量を構成するTa膜6部分は、第1層間絶縁膜7に開孔されたコンタクトホールを介してA1膜8に接続されている。

【0081】図9(B)に示すように、リセット用TFT130は、図8のB-B'断面に沿って、TFTアレイ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。

【0082】より具体的には、リセット用TFT130は、Ta膜6からなるゲート131を持つトップゲート型のTFTであり、ゲート絶縁膜5を介してゲート131に対向する半導体層4部分をチャネル形成用領域として、その両側にn型に高濃度ドープされたソース132及びドレイン133を備えたNチャネル型のTFTとして構成されている。そしてソース132及びドレイン133は、ゲート絶縁膜5及び第1層間絶縁膜7に開孔されたコンタクトホール及びA1膜8を中継して、Ta膜6からなる当段の走査線12a及び駆動用TFT110のゲート111に夫々接続されている。

【0083】また、図9(C)に示すように、駆動用TFT110は、図8のC-C'断面に沿って、TFTアレイ基板上1に半導体膜4、ゲート絶縁膜5、Ta膜6、第1層間絶縁膜7及びA1膜8から構成されている。そして、第2層間絶縁膜9上には、駆動用TFT110のドレイン113にコンタクトホール及びA1膜8を中継して接続されたITO膜51が形成され、その上にEL素子50が形成されている。他方、駆動用TFT110のソース112は、コンタクトホールを介してA1膜8からなる共通給電線13に接続されている。ま

た、相隣接する画素部2におけるEL素子50は、電気絶縁性のバンク52により相隔てられている。好ましくは、バンク52は遮光性を持つものがよい。バンク52は、例えば、遮光性のレジストからなり、当該表示パネル200の画面表示領域の周囲を覆う周辺見切り領域にもバンク52を設けるようにしてもよい。そして、EL素子50上には、A1等の低抵抗金属或いはITO等からなる対向電極(上電極)56が設けられている。

【0084】図10に示すように、表示パネル200においては特に、共通給電線13によりX方向に相隣接した画素部2の双方に対して正電源+Vが供給される構成を探り、正電源+V供給用の電源配線を単純に画素部2の列毎に設ける場合と比較して、電源配線の数を約1/2にしている。また、リセット用TFT130のゲート131に入力されるリセット走査信号Vrscanを前段の走査線12bにより供給し、リセット用TFT130に入力されるリセット信号Vrsigを当段の走査線12bにより供給することにより、リセット走査信号Vrscan専用の配線やリセット信号Vrsig専用の配線を設ける場合と比較して信号配線の数を減らしている。このように電源配線数や信号配線数を増やさないようにす

ることにより、従来の表示パネルには設けられていない補償用TFT120やリセット用TFT130を設けるスペースを確保することができる。勿論、本実施の形態と違って、各画素毎に共通給電線を設けて、各画素毎にパターンを同じにしたものや、リセット走査信号Vrsca n専用の配線や、リセット信号Vrsig専用の配線を設けたものに対しても、本発明の思想は適用できる。

【0085】尚、本実施の形態のように電流駆動型発光素子であるEL素子50を用いた表示パネル200の場合には、例えば、液晶パネルのように画素の開口領域を増やすなくても、発光素子に供給する電流量を増加させればこれに応じて自発光するが故に、画像表示に必要な明るさを得ることができる。従って、本実施の形態のように、配線の占める領域を節約して各種のTFTを画素部2に形成するスペースを確保してもよいし、各EL素子50の大きさを小さくすることにより各種のTFTを画素部2に形成するスペースを確保してもよい。

【0086】次に、本実施の形態の表示パネル200の動作について図7及び図10を参照して説明する。

【0087】走査線駆動回路22から前段の走査線12bに走査信号Vscanが供給されると、これが当段のリセット走査信号Vrscanとして、当段のリセット用TFT130のゲート131に入力される。これと並行して、走査線駆動回路22から当段の走査線12aにリセット信号Vrsigが供給されて、当段の駆動用TFT110のゲート電圧Vgは、リセット信号Vrsigの電位とされる(図2(A)参照)。このとき、リセット信号Vrsigは、走査信号Vscanのオフ電位と同一でもかまわない。続いて、走査線駆動回路22から当段の走査線12aに走査信号Vscanが供給されると、これが当段のスイッチング用TFT140のゲート141に入力される。これと並行して、データ線駆動回路21から当段のデータ線11aに入力信号Vsig(データ信号)が供給されて、スイッチング用TFT140及び補償用TFT120を介して、この電圧Vsigが補償用TFT120のしきい値電圧Vth2分だけ降圧されて、当段の駆動用TFT110のゲート111に、ゲート電圧Vgとして供給される(図2(A)参照)。この結果、この降圧されたゲート電圧Vgに応じて、駆動用TFT110のソース112及びドレイン113間のコンダクタンスが制御されて、正電源+V及び負電源-Vの間で、EL素子50を流れる駆動電流Idが制御される。

【0088】従って、各画素部2に設けられた駆動用TFT110におけるしきい値電圧Vth1のばらつきが補償用TFT120のしきい値Vth2により補償されて、複数の画素部2間における駆動電流Idに対するデータ信号Vsигのしきい値のばらつきが殆どなくなり、表示パネル200の画面表示領域全体にわたって均一の明るさでむらのない画像表示が可能とされる。また、補償用TFT120による降圧作用により比較的小さい電圧の

データ信号Vsigを用いて駆動電流Idを制御することも可能とされる。

【0089】以上の実施の形態では、リセット用TFT130によりゲート電圧Vgを入力信号Vsigの供給前にリセットしているが、例えば、静止画を表示する期間には、同じ入力信号Vsigにより複数フレームに亘って駆動電流Idの制御を行えばよいので、係るリセット動作を各走査毎に行う必要はない。また、このように電気的なリセット信号Vrsigの代わりに光照射によりゲート電圧Vgをリセットする(所定のリセット電圧にする)

ように構成してもよい。更にまた、リセット用TFT130の代わりにスイッチング用TFT140や補償用TFT120を介してリセット信号Vrsigを供給するように構成してもよい。他方、アクティブマトリクス駆動の如くスイッチングを行わない用途であれば、スイッチング用TFT140やスイッチング動作が不要なことは言うまでもない。

【0090】(電子機器) 次に、以上詳細に説明した表示パネル200を備えた電子機器の実施の形態について図11から図13を参照して説明する。

【0091】先ず図11に、このように表示パネル200を備えた電子機器の概略構成を示す。

【0092】図11において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、表示パネル1006、クロック発生回路1008並びに電源回路1010を備えて構成されている。

【0093】前述した実施の形態における表示パネル200は、本実施の形態における表示パネル1006及び駆動回路1004に相当する。従って、表示パネル1006を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、更に表示情報処理回路1002等を搭載してもよい。或いは、表示パネル1006を搭載するTFTアレイ基板に対し駆動回路1004を外付けして構成してもよい。

【0094】表示情報出力源1000は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、增幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、表示パネル200を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。

【0095】次に図12から図13に、このように構成された電子機器の具体例を夫々示す。

21

【0096】図12において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した表示パネル200がトップカバーケース1206内に備えられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0097】また図13に示すように、駆動回路1004や表示情報処理回路1002を搭載しない表示パネル1304の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP(Tape Carrier Package)1320に、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して物理的且つ電気的に接続して、表示パネルとして、生産、販売、使用等することも可能である。

【0098】以上図12から図13を参照して説明した電子機器の他にも、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図11に示した電子機器の例として挙げられる。

【0099】以上説明したように、本実施の形態によれば、表示パネルの全面に渡って明るさのむらが少なく且つ比較的低電圧で駆動することも可能な各種の電子機器を実現できる。

【0100】

【発明の効果】本発明のトランジスタ回路によれば、補償用トランジスタのしきい値電圧の分だけ入力信号の電圧に対してゲート電圧を降圧もしくは昇圧できるので、低い入力信号の電圧により駆動用トランジスタにおけるコンダクタンス制御を行うことができる。更に、補償用トランジスタと駆動用トランジスタとのしきい値特性や電圧電流特性を近付けることにより、駆動電流に対する入力信号のしきい値電圧を零に近付けることも可能となる。更にまた、複数のしきい値特性の相異なる駆動用トランジスタを用いて当該トランジスタ回路を複数作成した場合に、複数のしきい値電圧の異なる複数の駆動用トランジスタ、即ち設計基準値から大きくばらついたしきい値電圧を夫々持つ複数の駆動用トランジスタを用いたとしても、複数のトランジスタ回路におけるしきい値電圧のばらつきが殆ど又は全くない複数のトランジスタ回路を得ることも可能となる。

【0101】本発明の表示パネルによれば、明るさむらが低減された画像表示を低電圧の入力信号を用いて実現できる。

【0102】また、本発明の電子機器によれば、高品位の画像表示が可能な、パーソナルコンピュータ、ページャ等の様々な電子機器を実現可能となる。

【図面の簡単な説明】

22

【図1】 トランジスタ回路の一実施の形態における回路図である。

【図2】 図1のトランジスタ回路における各種信号のタイミングチャート(図2(A))、及び図1のトランジスタ回路の変形例における各種信号のタイミングチャート(図2(B))である。

【図3】 駆動用TFTを備えた比較例におけるしきい値特性を示す特性図(図3(A))、及び補償用TFTと駆動用TFTとを備えた本実施の形態におけるしきい値特性を示す特性図(図3(B))である。

【図4】 しきい値のばらつき ΔV_{th} に対する駆動電流Idの変化を各種の場合について示す特性図である。

【図5】 本実施の形態においてリセット信号Vrsigを5Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート(図5(A))、及びリセット信号Vrsigを0Vにした場合の補償用TFTによる降圧作用を示すタイミングチャート(図5(B))である。

【図6】 トランジスタ回路の他の実施の形態における回路図である。

20 【図7】 表示パネルの実施の形態の全体構成を示す平面図である。

【図8】 図7の表示パネルの一画素部の平面図である。

【図9】 図8のA-A'断面図(図9(A))、B-B'断面図(図9(B))及びC-C'断面図(図9(C))である。

【図10】 図7の表示パネルにおける相隣接する4つの画素部の回路図である。

【図11】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図12】 電子機器の一例としてのパーソナルコンピュータを示す正面図である。

【図13】 電子機器の他の例としてのTCPを用いた液晶装置を示す斜視図である。

【符号の説明】

1…TFTアレイ基板

2…画素部

11…データ線

12…走査線

40 13…共通給電線

21…データ線駆動回路

22…走査線駆動回路

23…検査回路

50…EL素子

100…トランジスタ回路

110…駆動用TFT

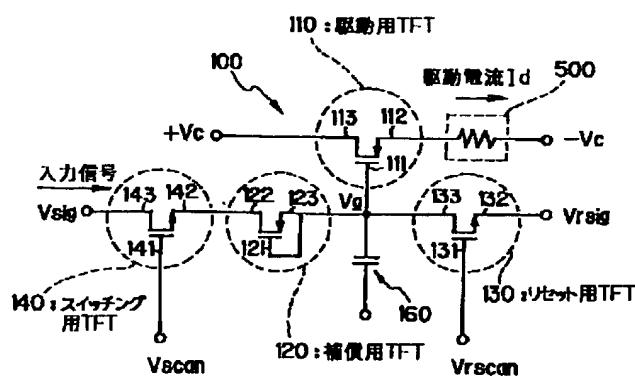
120…補償用TFT

130…リセット用TFT

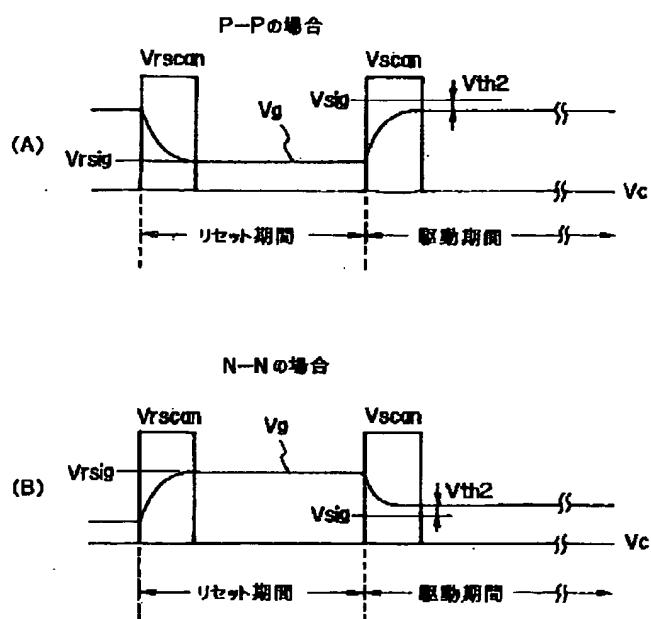
140…スイッチング用TFT

50 160…保持容量

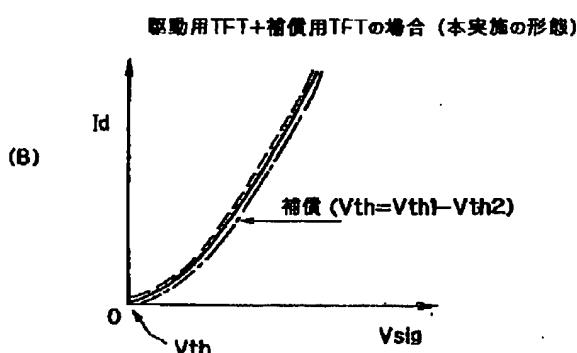
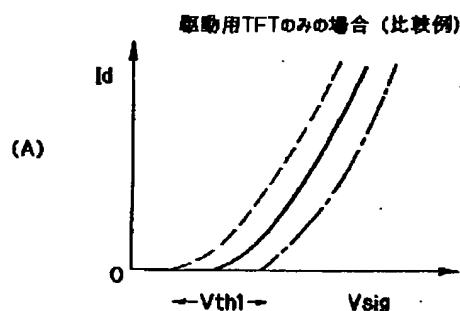
【図1】



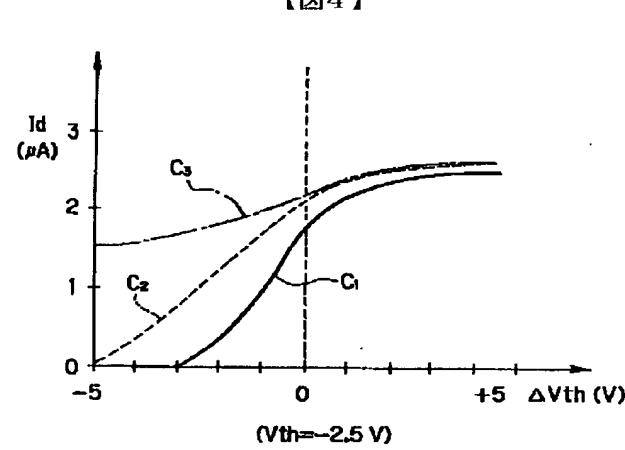
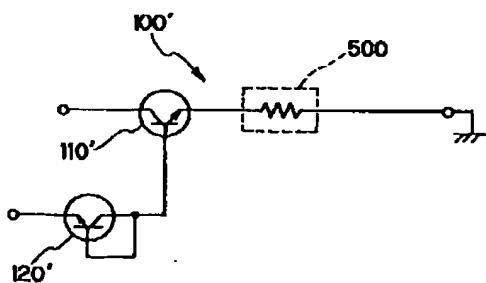
【図2】



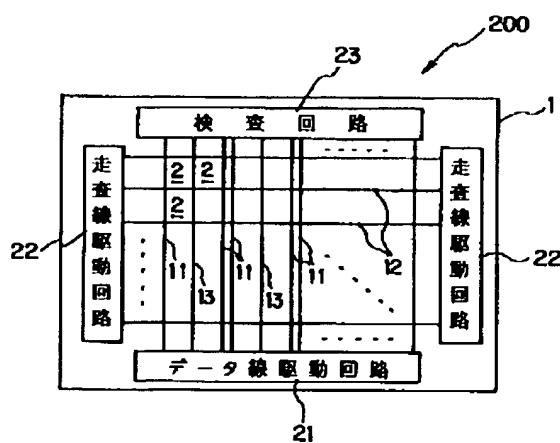
【図3】



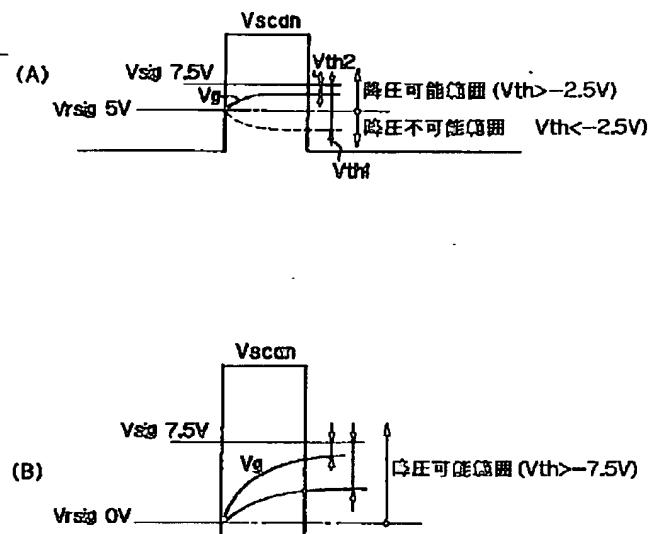
【図6】



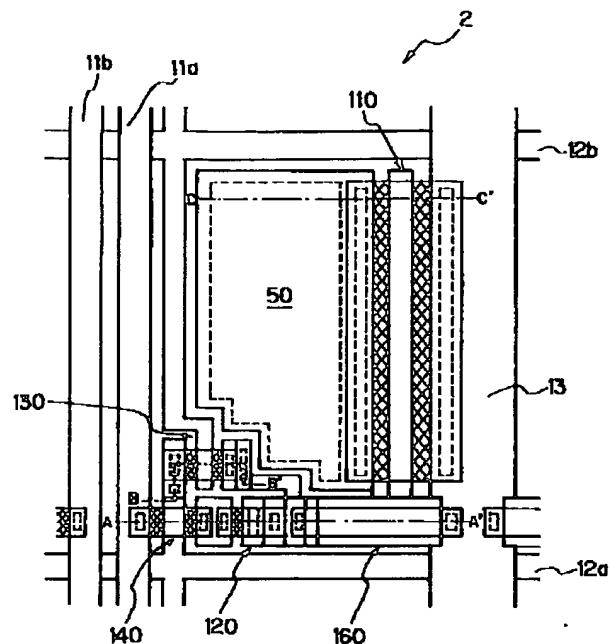
【図7】



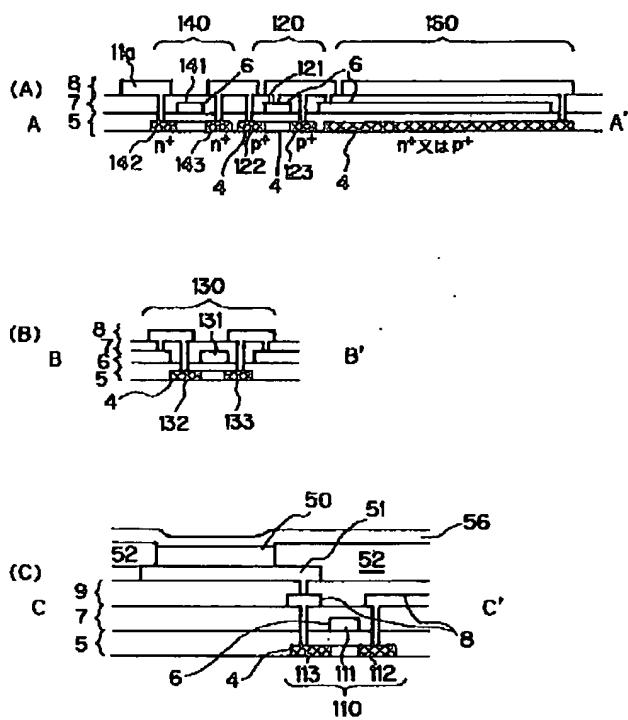
【図5】



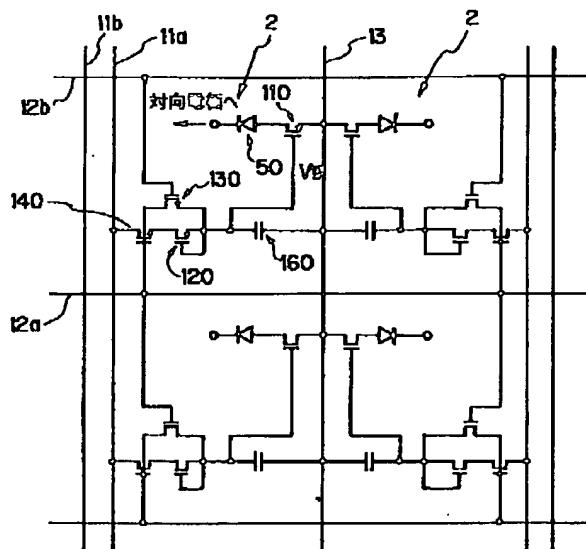
【図8】



【図9】

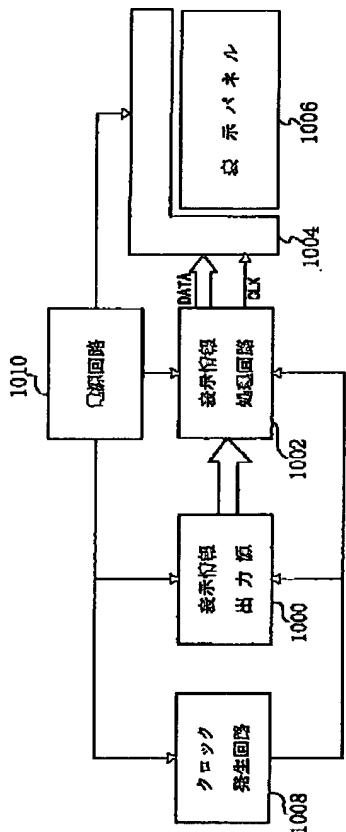


【図10】



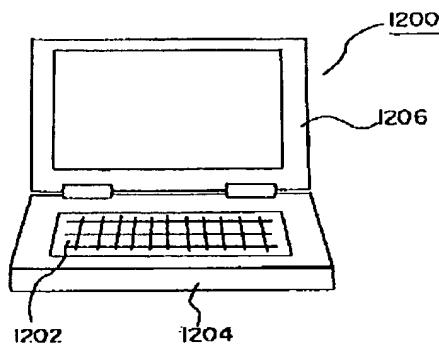
【図11】

電子機器の概要構成を示すブロック図



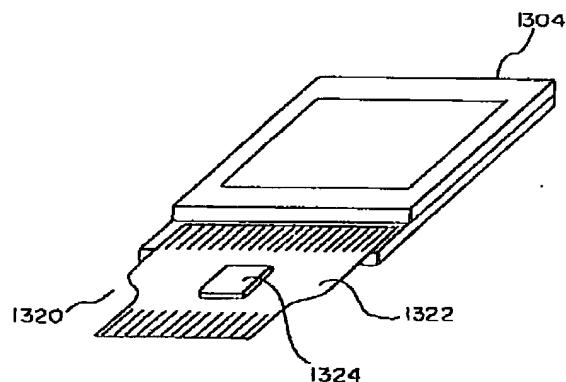
【図12】

パーソナルコンピュータの外観を示す正面図



【図13】

TCPを用いた表示装置の外観を示す斜視図



フロントページの続き

(72)発明者 マイケル クイン
イギリス国 ケンブリッジ市 トラムピン
グトン ストリート